Министерство науки и высшего образования Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего образования

«Рязанский государственный радиотехнический университет имени В.Ф. Уткина»

Кафедра «ПРВД»

**Отчет**

**по лабораторной работе** №3

«Исследование регистров, синхронных и асинхронных счётчиков»

**по дисциплине**

«Архитектура ЭВМ»

Выполнил:

Барышев Г.А.

Проверил:

Захаров М.А.

Рязань 2025

**Дата выполнения лабораторной работы: 14.05.2025**

**Цель работы**

Изучение принципов построения регистров сдвига, преобразования параллельного кода в последовательный и обратно, сборка схем регистров сдвига и их экспериментальное исследование. Изучение принципов построения счетчиков, овладение методом синтеза синхронных счетчиков, экспериментальная оценка динамических параметров счетчиков, изучение способов наращивания разрядности синхронных счетчиков. Изучение принципов построения счетчиков, овладение методом синтеза асинхронных счетчиков, экспериментальная оценка динамических параметров счетчиков.

**Исследование регистров**

1. **Исследование регистра сдвига**

– составить и собрать схему пятиразрядного регистра сдвига на синхронных D-триггерах с динамическим управлением записью, организовав сначала соединения триггеров для сдвига информации вправо;

– соединить прямой выход пятого разряда Q (нумерация слева направо) с входом D триггера первого разряда регистра (циклический режим);

- проверить работу регистров сдвига влево в статическом и динамическом режимах; - повторить ознакомление с регистром сдвига, соединив инверсный выход пятого разряда с входом D триггера первого разряда.

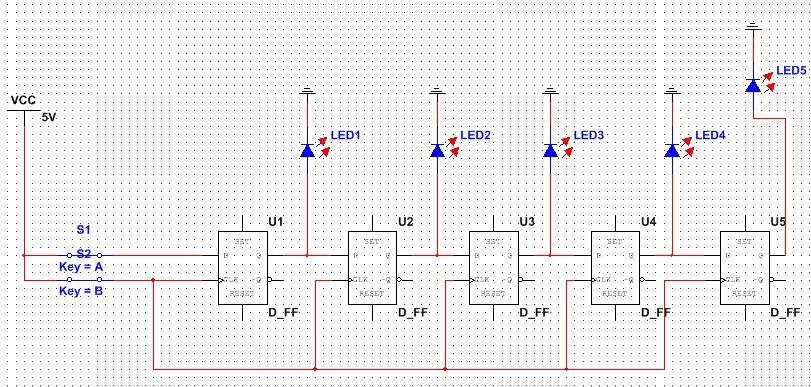


Схема пятиразрядного регистра сдвига вправо в циклическом режиме

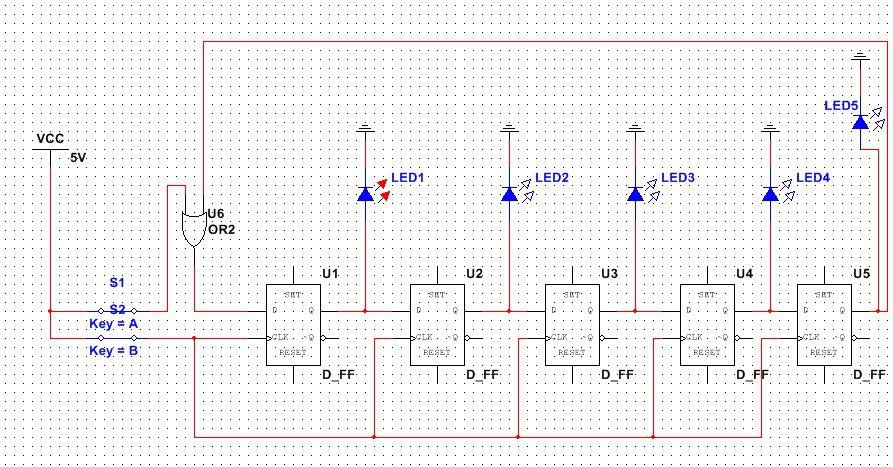


Схема пятиразрядного регистра сдвига влево

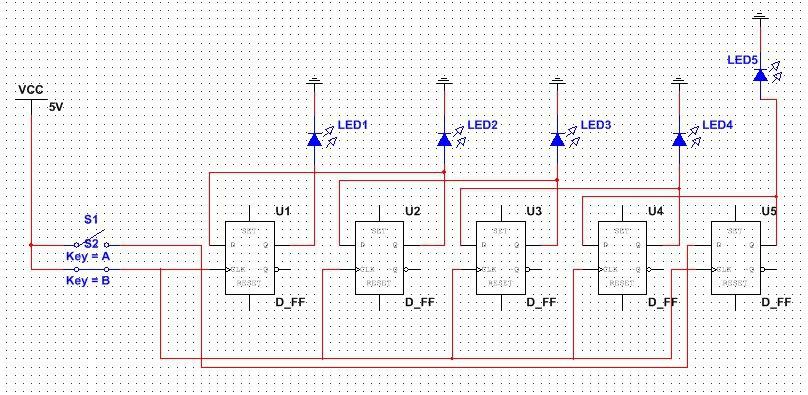
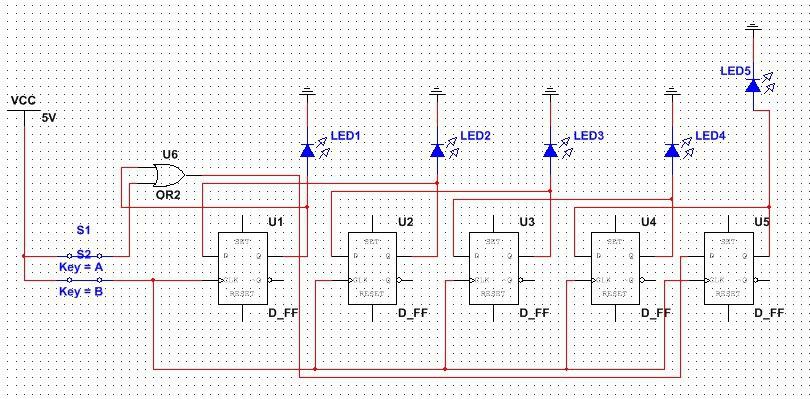


Схема пятиразрядного регистра сдвига влево в циклическом режиме

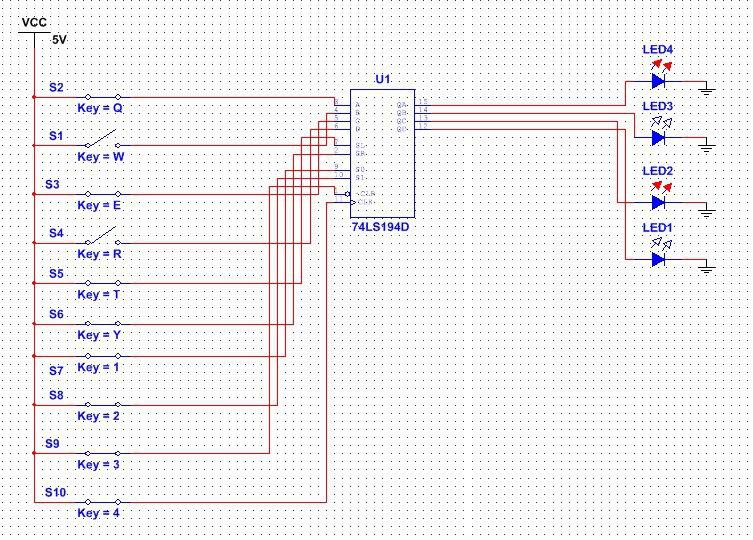


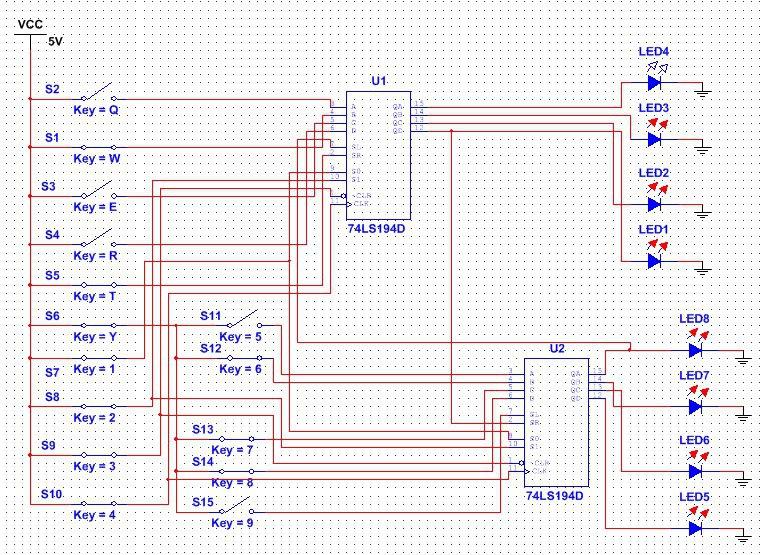
Количество триггеров и выходных сигналов равно разряду регистра. Чтобы получить циклический режим, соединяются первый и последний триггер.

**2. Исследование универсального регистра на ИС К555ИР11 (74LS194)**

- собрать схему 8-разрядного регистра сдвига;

- провести исследование режимов работы универсального регистра в статическом и динамическом режимах.



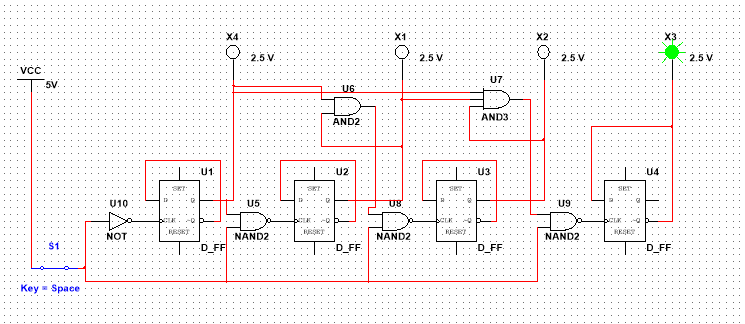


**Исследование синхронных счётчиков**

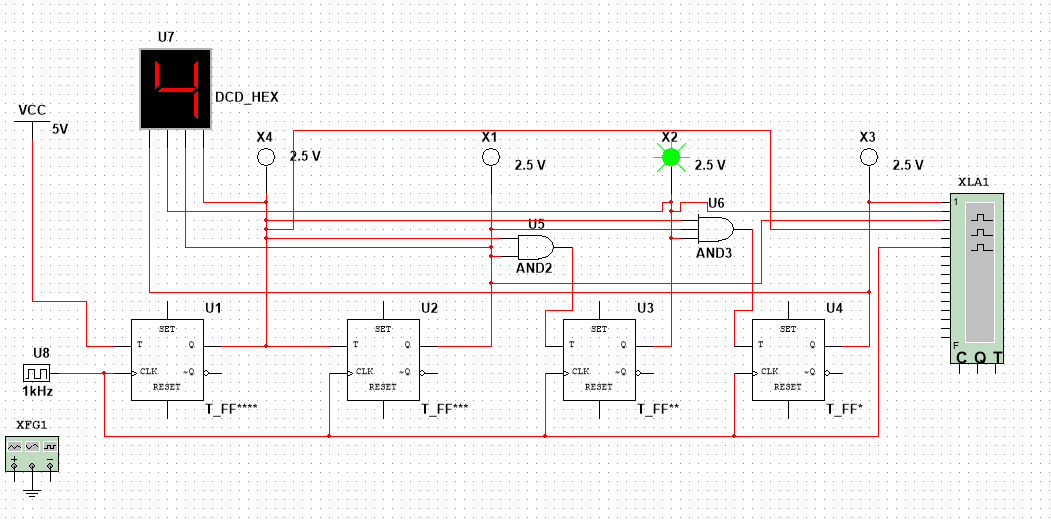
**1.Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом на Т-триггерах.**

Проверить работу счётчика:

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,

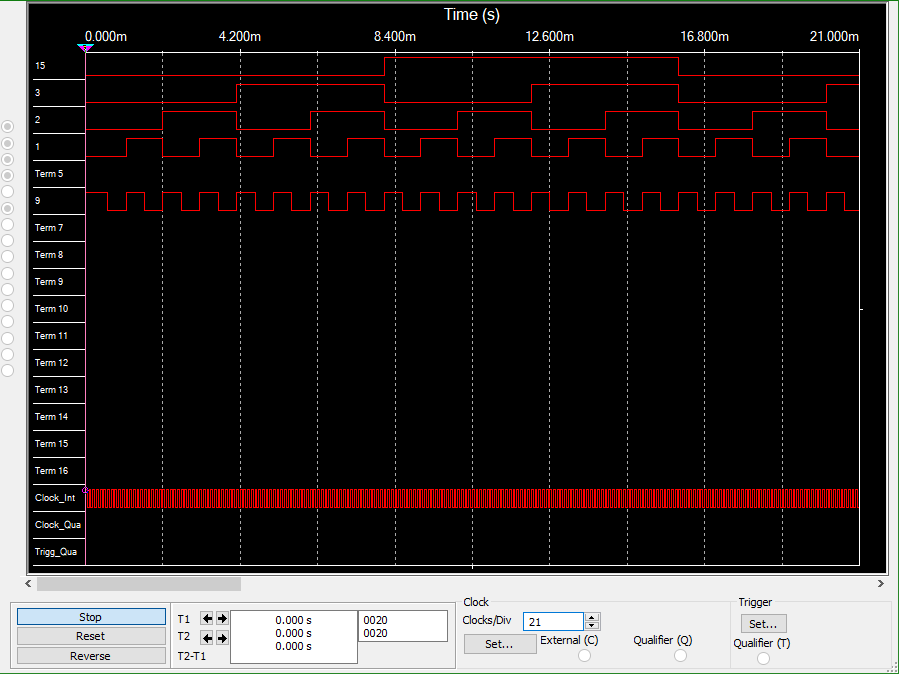


- от импульсов генератора.

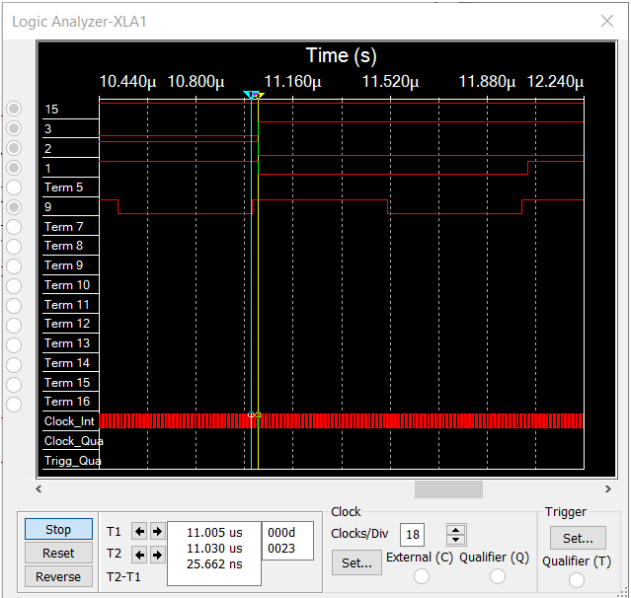


Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

Без задержки:



С задержкой:



Задержка: 25.662 ns

Время, через которое закончатся все переходные процессы в триггере, и он будет готов к очередному импульсу, составляет удвоенное время задержки, т.е. ~51ns. Максимальная частота счета, таким образом, составляет 1/(51ns) = 200 МГц.

**2.** **Синтезировать двоично-десятичный счётчик с заданной последовательностью состояний.**

Вариант №4: 3, 8, 9, 11, 13, 14, 15

Последовательность состояний счётчика для своего варианта; десятичными числами обозначены номера двоичных наборов, изображающие десятичные цифры и определяющие состояние счётчика.

Начертить схему счётчика на элементах интегрального базиса (И-НЕ; И, ИЛИ, НЕ), синхронных JK-триггерах.

Таблица 1 – Обобщенная таблица переходов

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| № | Время t | | | | Время t+1 | | | | Время t. Счетчик на JK-триггерах | | | | | | | |
| Функции возбуждения JK-триггеров | | | | | | | |
| Q3 | Q2 | Q1 | Q0 | Q3\* | Q2\* | Q1\* | Q0\* | J3 | K3 | J2 | K2 | J1 | K1 | J0 | K0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | x | x | 1 | x | 1 | x | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | x | 0 | x | 0 | 0 | x | 1 | x |
| 2 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | x | 0 | 0 | x | 1 | x | x | 0 |
| 3 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | x | x | 1 | x | 0 | x | 1 |
| 4 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | x | 0 | x | 0 | 1 | x | x | 1 |
| 5 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | x | 0 | x | 0 | x | 0 | 1 | x |
| 8 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | x | 1 | x | 1 | x | 1 | x | 1 |

Таблица минимизированных функций на входах триггеров:

| **Триггер** | ***J*** | ***K*** |
| --- | --- | --- |
| **Q0** | Q̅1(Q̅3+Q̅2) | 1 |
| **Q1** | Q̅3Q0+Q2Q̅0 ​​ | Q0​ |
| **Q2** | Q1Q0Q̅3​​ | *Q*3​*Q*1​*Q*0​ |
| **Q3** | Q2Q̅1Q0 | Q1Q0 |

Схема:

Изображение выглядит как текст, диаграмма, План, схематичный

Контент, сгенерированный ИИ, может содержать ошибки.

Диаграмма:

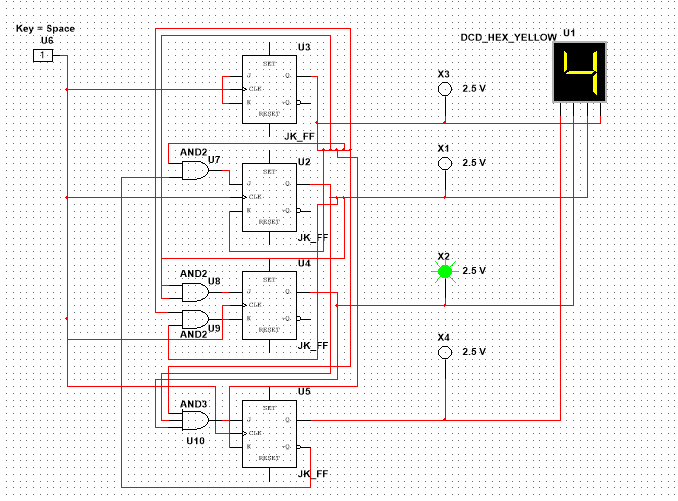
Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Контент, сгенерированный ИИ, может содержать ошибки.

**3.** **Собрать десятичный счётчик, используя элементную базу приложения Multisim или учебного макета.**

Установить счётчик в начальное состояние, подав на установочные входы R соответствующий сигнал.

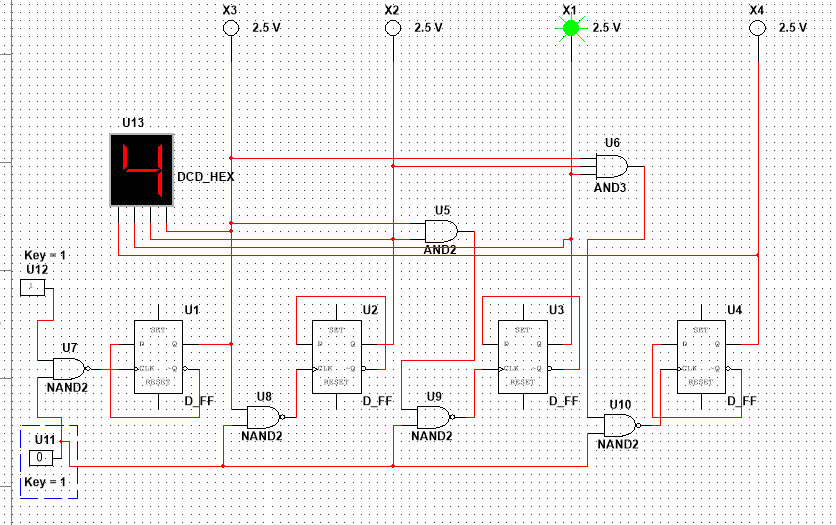
Схема десятичного счётчика:



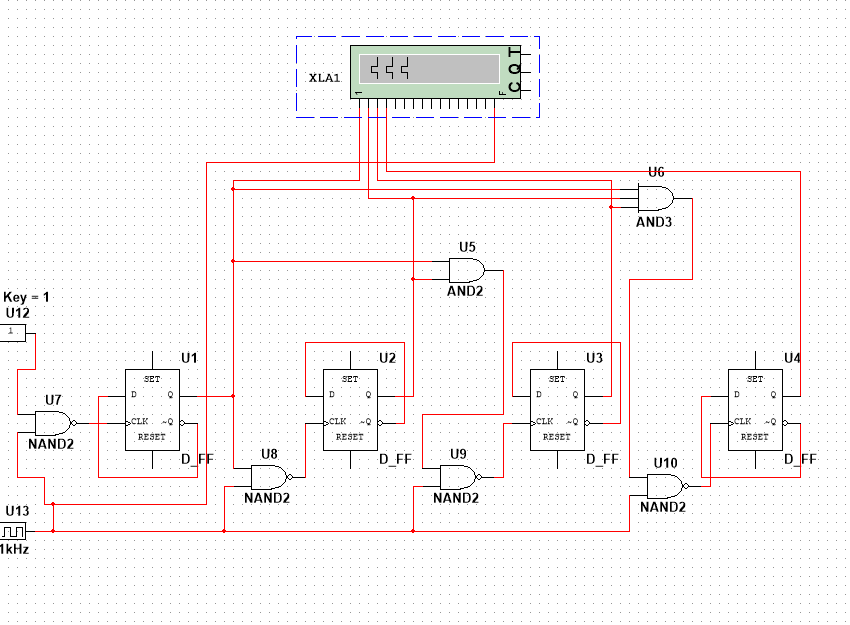
**4. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом.**

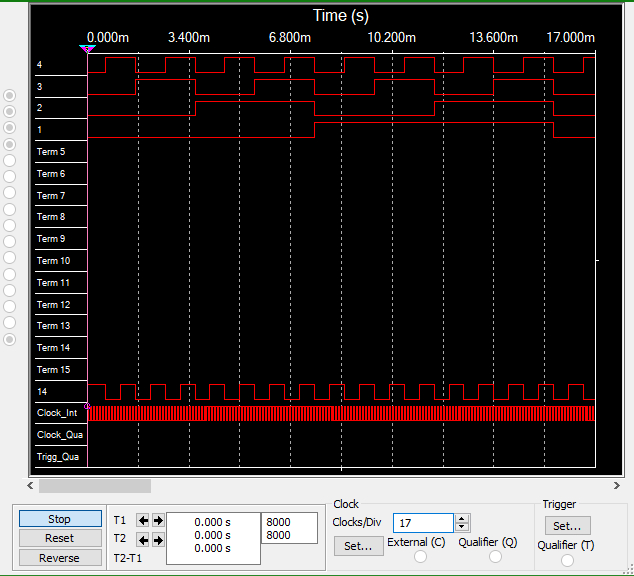
Проверить работу счётчика:

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,

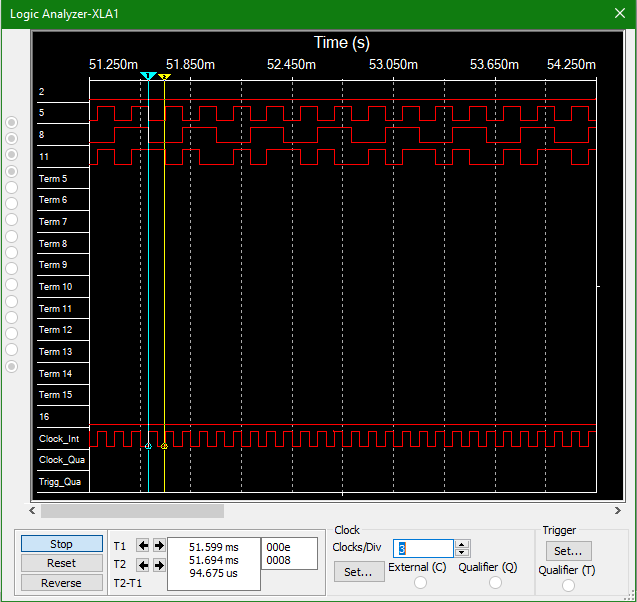
****

- от импульсов генератора.

****Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика.

****

С задержкой:

****

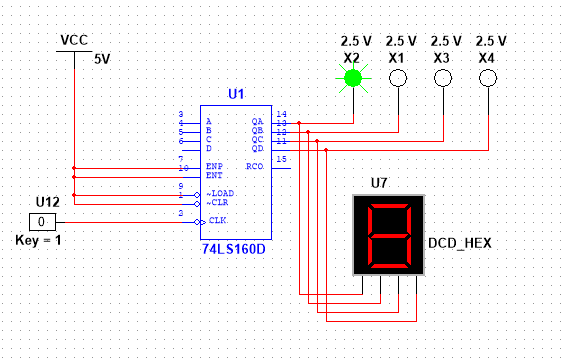
Задержка: 95 мс

Время, через которое закончатся все переходные процессы в триггере, и он будет готов к очередному импульсу, составляет удвоенное время задержки, т.е. ~200мкс. Максимальная частота счета, таким образом, составляет 1/(200 мкс) = 5 Гц.

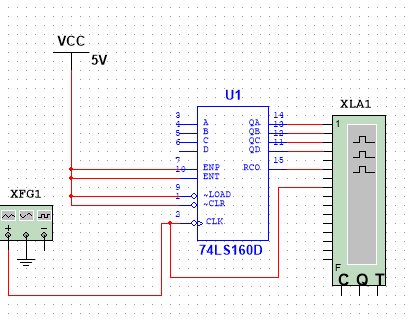
**5. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом ИС К555ИЕ9, аналог ИС 74LS160.**

Проверить работу счётчика:

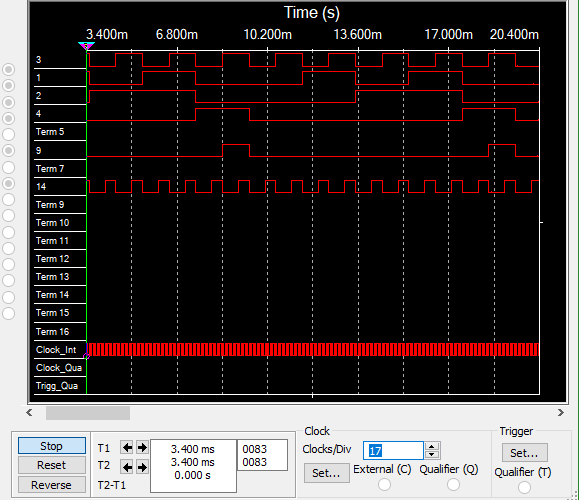
- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,

****

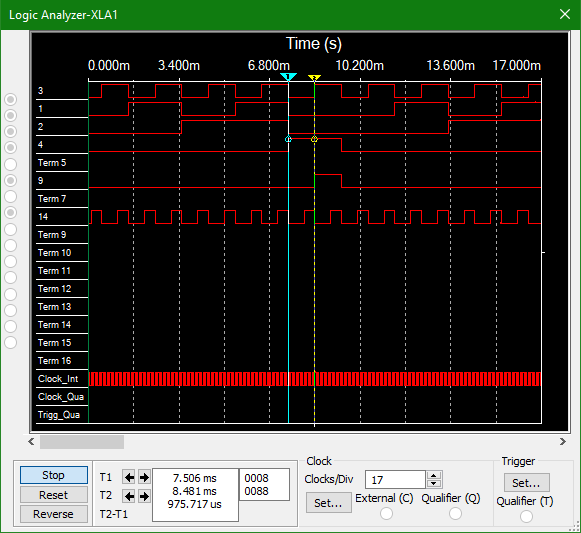
- от импульсов генератора.

****

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика.

****

**C задержкой:**

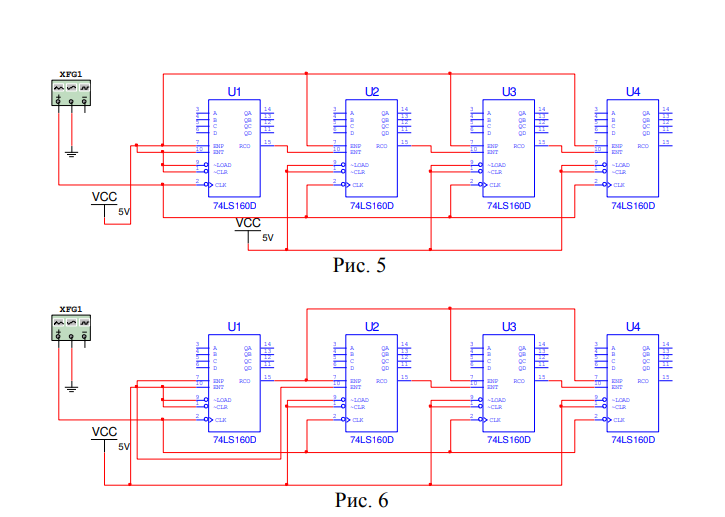
****

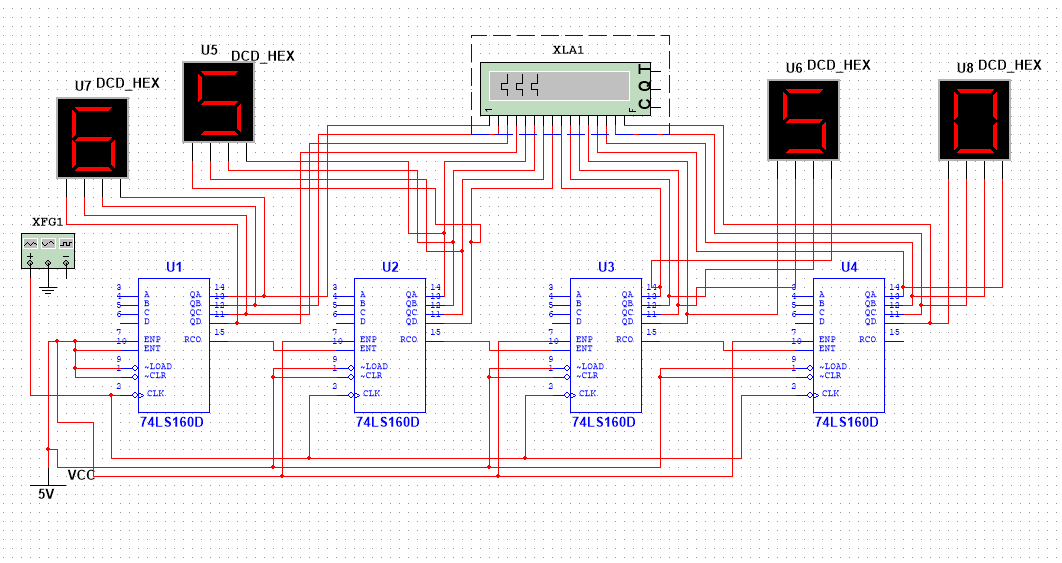
**Задержка: 975 мкс**

Время, через которое закончатся все переходные процессы в триггере, и он будет готов к очередному импульсу, составляет удвоенное время задержки, т.е. ~2мс. Максимальная частота счета, таким образом, составляет

1/(2мс) = 500 Гц.

**6.Исследование схем наращивания разрядности счетчиков ИЕ9 до четырех секций с последовательным переносом между секциями и по структуре «быстрого» счета.**

****

****

**Исследование асинхронных счётчиков**

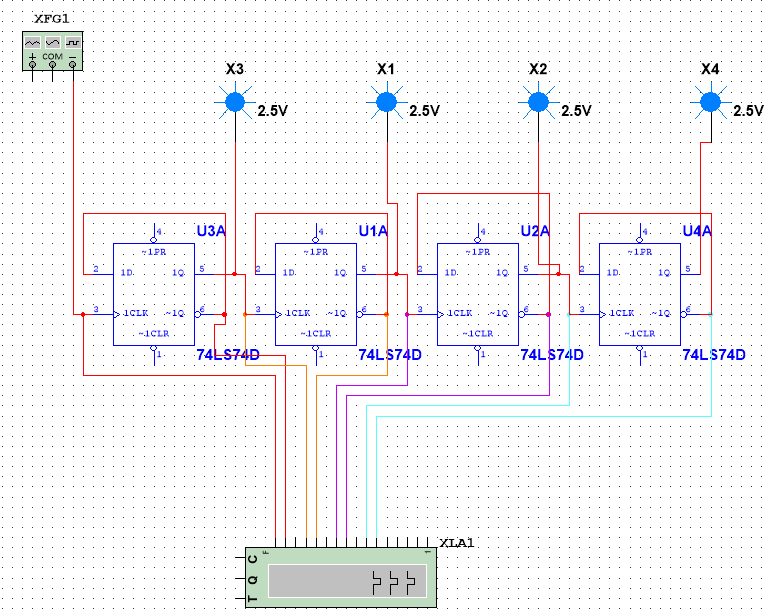
**1. Исследование четырёхразрядного асинхронного суммирующего счётчика с последовательным переносом, используя для этого D-триггеры с прямым динамическим синхронизирующим входом.**

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,

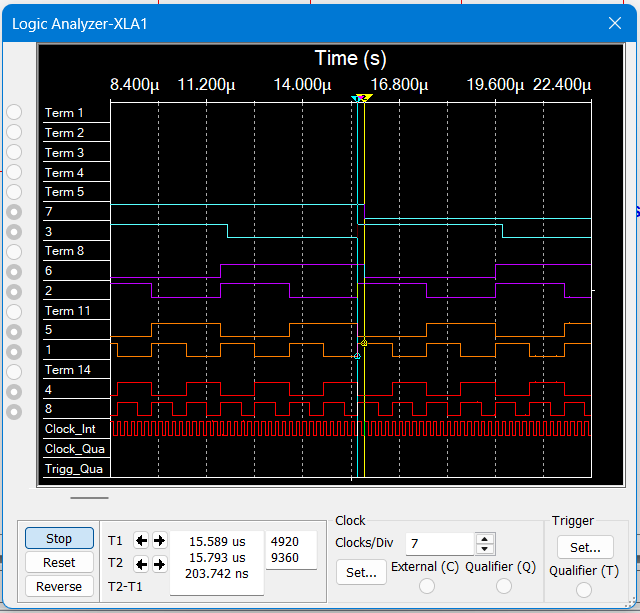
- от импульсов генератора.

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика.

Схема:



Временная диаграмма:



Задержка: 203,7 нс

1. **Исследование четырёхразрядного асинхронного суммирующего счётчика с последовательным переносом на JK-триггерах в статическом и динамическом режимах.**

Проверить его работу и построить временные диаграммы. Провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика.

Изображение выглядит как текст, диаграмма, снимок экрана, число

Контент, сгенерированный ИИ, может содержать ошибки.

1. **Исследование четырёхразрядного асинхронного суммирующего счётчика с параллельным переносом на JK- триггерах.**

Проверить его работу в статическом и динамическом режимах. Провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика.

Схема:

Изображение выглядит как текст, диаграмма, План, Параллельный

Контент, сгенерированный ИИ, может содержать ошибки.

Временная диаграмма:

Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Контент, сгенерированный ИИ, может содержать ошибки.

1. **Синтезировать безвентильный счётчик с заданным коэффициентом пересчета.**

Вариант №4: 15.

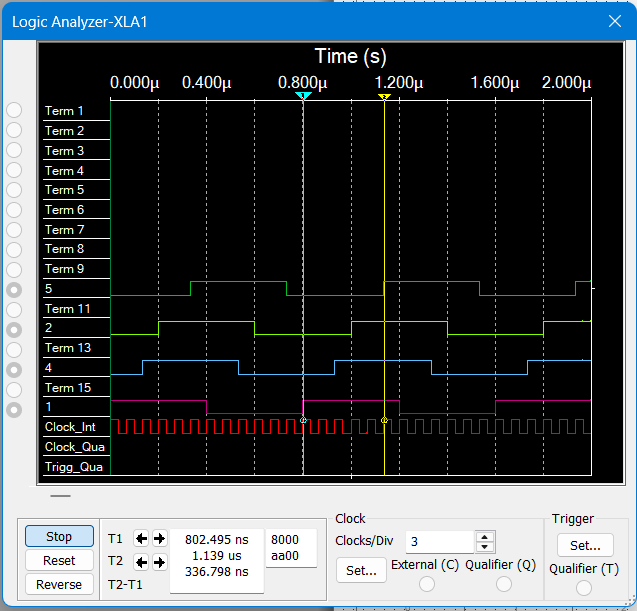
Проверить работу счётчика - от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы, - от импульсов генератора. Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, зафиксировать их и измерить их параметры. Измерить время задержки распространения сигнала счетчика.

Схема:

Изображение выглядит как текст, диаграмма, число, снимок экрана

Контент, сгенерированный ИИ, может содержать ошибки.

Временная диаграмма:



Задержка: 336,8 нс

**Вывод**

Я изучил схемы асинхронного RS-триггера. Изучил принципы построения и схем, статических и динамических режимов работы синхронных двухступенчатых триггеров.